

COMPOSITE DIFFERENTIAL AMPLIFIER

Patent number: JP4351109
Publication date: 1992-12-04
Inventor: NISHIJIMA KAZUNORI
Applicant: NEC CORP
Classification:
- **international:** H03F3/45; H03F3/34
- **european:**
Application number: JP19910125752 19910529
Priority number(s):

Also published as:

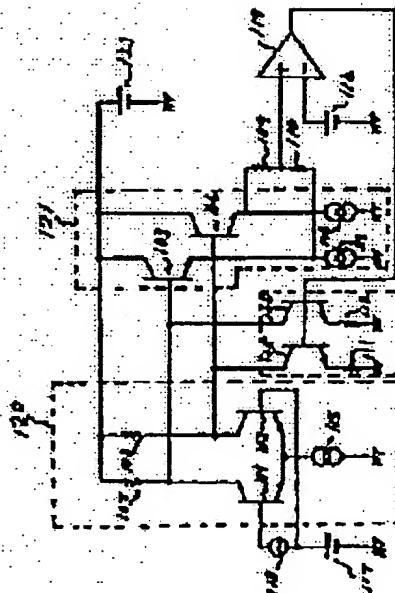
 EP0516423 (A1)
 US5254956 (A1)
 EP0516423 (B1)

[Report a data error here](#)

Abstract of JP4351109

PURPOSE: To reduce the voltage of the entire circuit and the power consumption in a differential amplifier whose output DC voltage is made constant.

CONSTITUTION: A differential output of the differential amplifier 120 is outputted from emitters of transistors(TRs) 103, 104 via an emitter follower 121 and a midpoint bias of the differential output, that is, the DC output of an operational amplifier 119 inputted to a noninverting input of an operational amplifier 119 is inputted to a voltage controlled current source 122. Moreover, the current absorbing point of the current source 122 is connected to a load point of the differential amplifier and feedback is applied so that the external control voltage inputted to the inverting input of the operational amplifier and the DC output voltage of the differential amplifier 120 are coincident. Thus, the low voltage and low power consumption of the circuit are attained.



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平4-351109

(43)公開日 平成4年(1992)12月4日

(51)Int.Cl.⁵

H 03 F 3/45
3/34

識別記号

序内整理番号

F 1

技術表示箇所

B 7328-5 J
B 7328-5 J

審査請求 未請求 請求項の数1(全5頁)

(21)出願番号

特願平3-125752

(22)出願日

平成3年(1991)5月29日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 西島 一則

東京都港区芝五丁目7番1号日本電気株式
会社内

(74)代理人 弁理士 内原 晋

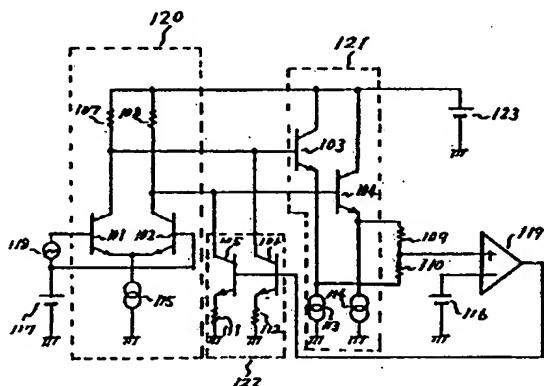
(54)【発明の名称】複合差動増幅器

(57)【要約】

【目的】差動増幅器の出力DC電圧を一定にする複合差動増幅器において、回路全体の低電圧化低消費電力化を図る。

【構成】差動増幅器120の差動出力は、エミッタフォロア121を介してトランジスタ103、104のエミッタから出力され、差動出力の中点バイアスすなわち差動増幅器120のDC出力は、オペアンプ119の非反転入力に入力されオペアンプ119の出力は、電圧制御電流源122に入力され、電流源122の電流吸入口が差動増幅器の負荷点に接続され、オペアンプの反転入力に入力された外部制御電圧と差動増幅器120のDC出力電圧とが一致するように帰還がかかる。

【効果】以上の発明により回路を低電圧化、低消費電力化が図れた。



入力に共通に入力され、前記、第一、第二の電圧制御電流源の各々の電流吸い込み点が前記、差動増幅器の第一、第二の負荷点に接続されている。

【0020】

【実施例】次に、本発明について図面を参照して説明する。

【0021】図1は、本発明の一実施例の複合差動増幅器であり、入力信号源118、トランジスタ101、102及び負荷107、108、定電流源115、入力バイアス電圧源117から構成される差動増幅器120と、トランジスタ103、104、定電流源113、114から構成されるエミッタフォロア121とオペアンプ119、トランジスタ105、106、抵抗111、112から構成される可変電流源122及びエミッタフ*

$$V_o'' = V_{cc} - R_L'(I_o' + I_{cx}) - A' V_{ci}' - V_{BE}' \dots \dots (8)$$

【0024】トランジスタ104のエミッタ出力

V_o''' は、式(9)となる。

※【0025】

※

$$V_o''' = V_{cc} - R_L'(I_o' + I_{cx}) + A' V_{ci}' - V_{BE}' \dots \dots (9)$$

【0026】従ってオペアンプ119の非反転入力の入力電圧 $V_{i'}$ は抵抗109、110を同一抵抗として $V_{i'}$ 、 V_o''' の中点電圧となる。従って $V_{i'}$ は(1★

$$V_{i'}' = \frac{V_o'' + V_o'''}{2} = V_{cc} - R_L'(I_o' + I_{cx}) - V_{BE}' \dots \dots (10)$$

【0028】すなわち(10)の式は、エミッタフォロア121後の差動増幅器120の出力DC電圧である。オペアンプ119のオーブン利得を A_{op}' 、外部制御電圧 V_c' 、トランジスタ105、106のベースエミッタ間電圧を V_{BE}'' 、抵抗111、112を R_E とすると(11)式となる。

【0029】

$$A_{op}'(V_{i'}' - V_c') = V_{op}' \dots \dots (11)$$

【0030】(11)式より、トランジスタ105、106のコレクタ電流 I_{cx} は、(12)式となる。

【0031】

$$I_{cx} = \frac{V_{op}' - V_{BE}''}{R_E} \dots \dots (12)$$

30 【0032】(12)式に(11)式を代入して(13)式を得る。

【0033】

$$I_{cx} = \frac{A_{op}'(V_{i'}' - V_c') - V_{BE}''}{R_E} \dots \dots (13)$$

【0034】さらに式(13)を式(10)に代入して(14)式を得る。

☆ 【0035】

$$V_{i'}' = V_{cc} - R_L' \left\{ I_o' + \frac{A_{op}'(V_{i'}' - V_c')}{R_E} \right\} - V_{BE}' \dots \dots (14)$$

【0036】式(14)を $V_{i'}'$ について解くと(15)式となる。

【0037】

$$\begin{aligned}
 V_i' &= \frac{V_{CC} - R_L' I_o' + \frac{R_L'}{R_E} \cdot A_{op'} \cdot V_C' - V_{BE}'}{(1 + \frac{R_L'}{R_E} \cdot A_{op'})} \\
 &= \frac{\frac{V_{CC} - R_L' I_o' - V_{BE}'}{A_{op'}} + \frac{R_L'}{R_E} \cdot V_C'}{\frac{1}{A_{op'}} + \frac{R_L'}{R_E}} \quad \cdots \cdots (15)
 \end{aligned}$$

【0038】オペアンプ $A_{op'}$ の利得は十分大きいとすれば (16) 式となる。

【0039】

$$V_i' \approx V_C' \quad \cdots \cdots (16)$$

【0040】となる。従って、差動増幅器の出力DC電圧は、外部制御電圧 $V_{o'}$ とほぼ等しくなる。

【0041】

【発明の効果】以上説明したように本発明は、オペアンプの出力を可変電流源を介して差動増幅器の負荷点に接続したので、差動増幅器の出力DC電圧を高く設定しても、オペアンプの出力電圧 $V_{o'}$ は高く設定する必要はなく、オペアンプ自身も差動増幅器の電源電圧で動作する。差動増幅器の回路電流は、電源より取るため、オペアンプの出力電流の増大はなく、消費電力の増大もない。また、オペアンプの為に高い電圧は必要でないので、オペアンプを含む回路全体の低電圧化が容易となる。以上の効果を具体的な数値で示すことにする。従来例において、抵抗 205, 206 を 5KΩ, 定電流源 210, 211, 212 の電流値は $400\mu A$, トランジスタ 203, 204 のベースエミッタ間電圧を 0.7V, オペアンプの消費電流を 1mA とすれば、エミッタフォロア後の差動増幅器の出力DC電圧は、外部制御電圧 V_C を 2.8V とすることで、 $V_{o'}$ は 2.8V 一定に保持される。このときのオペアンプの出力電圧 $V_{o'}$ は 4.5V となっており、オペアンプ単体の電源電圧としては、8V は必要となる。このときの回路全体の消費電力を求めると、オペアンプの出力電流は、差動増幅器及びエミッタフォロアの電流そしてオペアンプ自身の電流の和となり、 $400\mu A \times 3 + 1mA = 2.2mA$ となる。従って、回路全体の消費電力は、 $2.2mA \times 8V = 17.6mW$ となる。次に実施例において、電源 123 の電圧を 5V, 抵抗 107, 108 を 5KΩ, 定電流源 113, 114, 115 の電流を $400\mu A$, 可変電流源の電流を $100\mu A$, トランジスタ 105, 106 のベ

ースエミッタ間電圧を 0.7V, 抵抗 111, 112 を 3KΩ とすると、エミッタフォロア後の差動増幅器の出力DC電圧は外部制御電圧 V_C' を 2.8V とすることで 2.8V 一定に保持される。このときのオペアンプの出力電圧 $V_{o'}$ は 1V であり、オペアンプ単体の電源電圧は、5V としても問題ない。従ってオペアンプを含む回路全体の消費電流は、 $400\mu A \times 3 + 200\mu A + 1mA = 2.4mA$ となる。従って回路全体の消費電力は、 $2.4mA \times 5 = 12.0mW$ となり、従来例に比較して 5.6mW の電力が削減されたという効果を有する。

【図面の簡単な説明】

【図1】本発明の一実施例を示す回路図である。

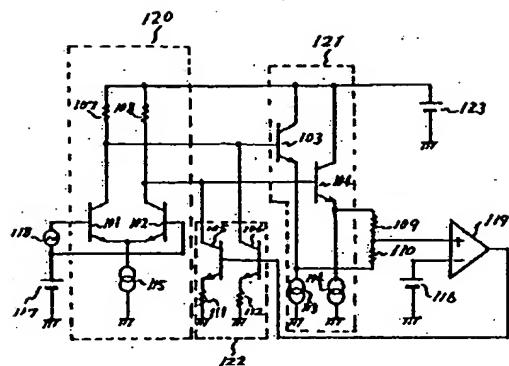
【図2】従来の回路図である。

【図3】本発明の別の実施例を示す回路図

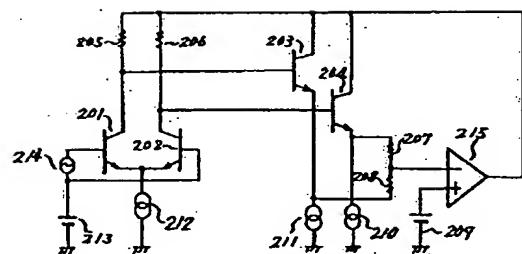
【符号の説明】

101, 102, 103, 104, 105, 106, 201, 202, 203, 204, 301, 302, 303, 304, 305, 306, 307, 308, 309, 310, 310	トランジスタ
107, 108, 109, 110, 111, 112, 205, 206, 207, 208, 312, 313, 314, 315, 316, 317, 318, 319, 320	抵抗
113, 114, 115, 210, 211, 212, 25, 326, 327, 328	定電流源
117, 213, 322	バイアス電圧源
116, 209, 321	外部制御電源
118, 214, 329	入力信号源
40 119, 215, 330	オペアンプ
123, 323	電源
324	コンデンサ
120, 328	差動増幅器
121, 329	エミッタフォロア
122, 331	可変電流源

【図1】



【図2】



【図3】

